САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию Verilog lab7

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

Бараев Д. Р.

Группа: 3540901/02001

Преподаватель: А. П. Антонов

Санкт-Петербург

2020

Оглавление

[1 Упражнение 7\_1 4](#_Toc63524947)

[1.1 Задание 4](#_Toc63524948)

[1.2 Результат синтеза (RTL) 4](#_Toc63524949)

[1.3 Функциональное моделирование 5](#_Toc63524950)

[1.4 Результат синтеза (RTL) после исправления 6](#_Toc63524951)

[1.5 Результат компиляции 6](#_Toc63524952)

[1.6 Выводы 7](#_Toc63524953)

[2 Упражнение 7\_2 7](#_Toc63524954)

[2.1 Задание 7](#_Toc63524955)

[2.2 Результат синтеза (RTL) 8](#_Toc63524956)

[2.3 Функциональное моделирование 9](#_Toc63524957)

[2.4 Назначение выводов СБИС 9](#_Toc63524958)

[2.5 Выводы 9](#_Toc63524959)

[3 Упражнение 7\_3 9](#_Toc63524960)

[3.1 Задание 9](#_Toc63524961)

[3.2 Результат синтеза (RTL) 10](#_Toc63524962)

[3.3 Функциональное моделирование 10](#_Toc63524963)

[3.4 Назначение выводов СБИС 11](#_Toc63524964)

[3.5 Выводы 11](#_Toc63524965)

Список иллюстраций

[Рис. 1‑2 Результат моделирования RTL-Viewer 5](#_Toc30507140)

[Рис. 1‑3 Функциональное моделирование 5](#_Toc30507141)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc30507142)

[Рис. 2‑2 Результат моделирования RTL-Viewer 7](#_Toc30507143)

[Рис. 2‑3 Функциональное моделирование 7](#_Toc30507144)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 8](#_Toc30507145)

[Рис. 3‑2 Результат моделирования RTL-Viewer 9](#_Toc30507146)

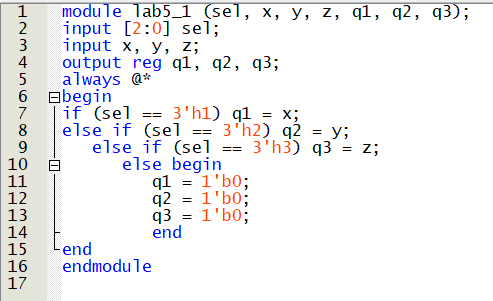
[Рис. 3‑3 Функциональное моделирование 9](#_Toc30507147)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 10](#_Toc30507148)

# Упражнение 7\_1

## Задание

На языке Verilog ввести представленный ниже текст:



* Осуществить анализ и синтез, посмотреть:
  + Предупреждения в процессоре сообщений и проверить наличие предупреждений о триггерах защелках (Latch)
  + синтезированную пакетом Q схему (RTL Viewer), найти триггеры защелки
  + Оценить аппаратные затраты (запомните кол-во использованных логических элементов)
* Исправить описание так, чтобы не нарушая логику работы исключить возможность появления триггеров-защелок.
* Повторить анализ и синтез, убедиться, что триггеры-защелки отсутствуют (нет предупреждений в процессоре сообщений; результаты синтеза в RTL Viewer)
  + Оценить аппаратные затраты (сравнить с результатами, полученными ранее)

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

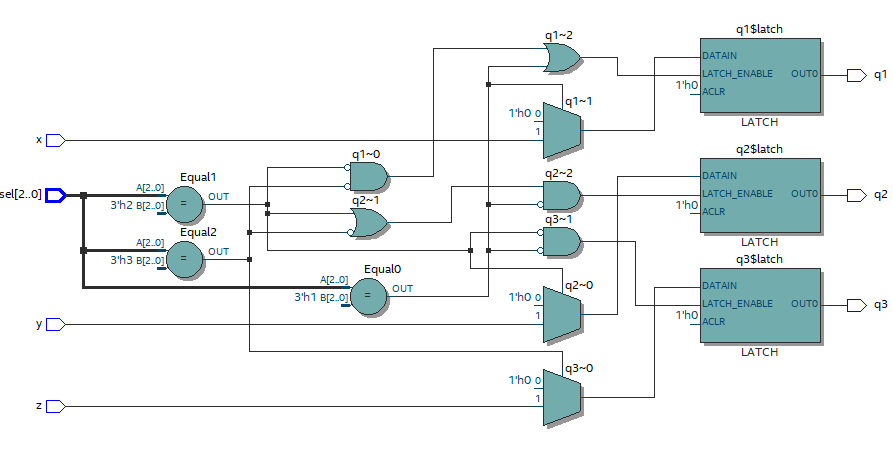
**

Рис. 1‑2 Результат моделирования RTL-Viewer

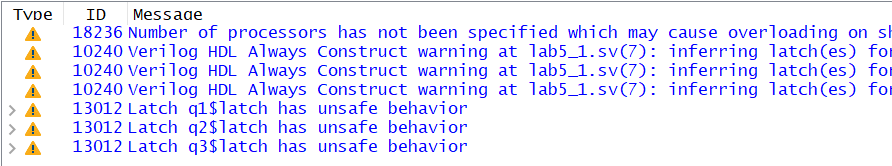
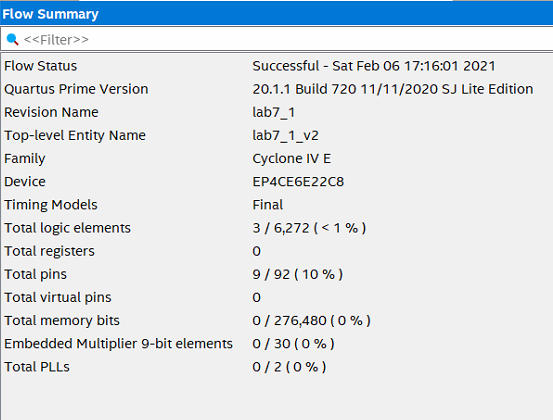


Рис. 1‑3 Предупреждения о наличии триггеров-защелок

Оценка аппаратурных затрат представлена на Рис. 1-4



*Рис. 1-4 Аппаратурные затраты*

## Функциональное моделирование

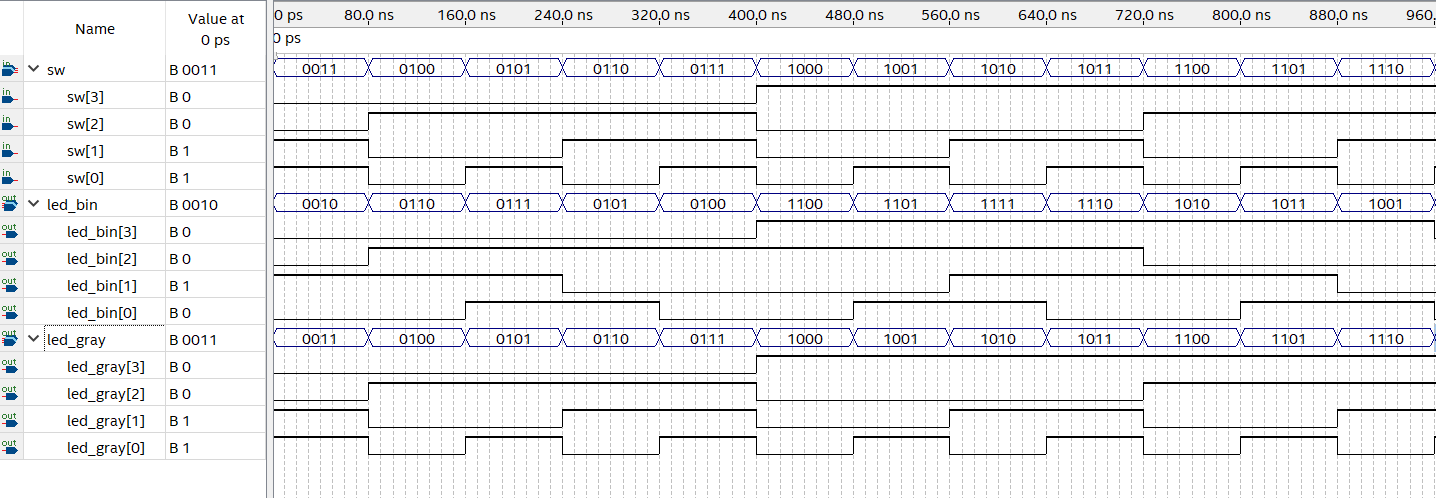
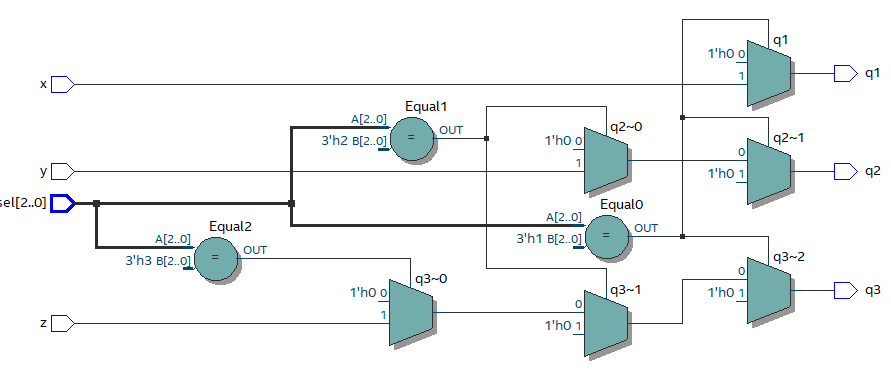


Рис. 1‑5 Функциональное моделирование

## Результат синтеза (RTL) после исправления

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже. Изображение схемы получено с помощью приложения RTL Viewer.

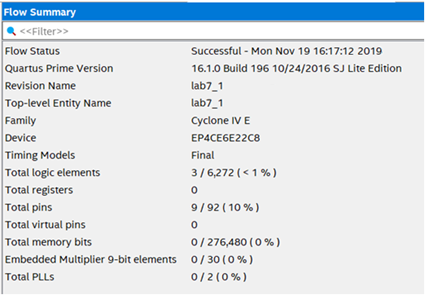


*Рис. 1- 6 Синтезированная схема*

## Результат компиляции

Предупреждений, связанные с наличием триггеров-защелок, нет.

Аппаратурные затраты:



*Рис. 1- 7 Аппаратурные затраты (исправленный код)*

Моделирование в RTL-Viewer показало, что устройство больше не имеет триггеров-защелок.

## Выводы

В ходе проведения лабораторной работы на языке Verilog был осуществлен анализ и синтез представленного кода, обнаружены триггеры-защелки и создано решение, позволяющее устранить их. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно.

# Упражнение 7\_2

## Задание

На языке Verilog опишите устройство, реализующее 2 арифметических выражения:

− x=a\*c\*d+b\*c\*d

− y=a\*c\*d+c\*\*2\*d

* Входы a, b, c, d – 2-разрядные (поступают с переключателей sw[7..0]) −
* Результат (8 разрядный) подается на светодиоды (led[7..0]):
  + если кнопка pba=1, то на выход передается x; если pba=0 =>y;
* На входах устройства, выходах арифметических выражений и выходе устройства использовать регистры
* С помощью атрибута multstyle для ВСЕГО УСТРОЙСТВА задать реализацию умножителей на DSP блоках СБИС ПЛ.
* Провести исследование
  + Добиться того, чтобы для реализации арифметической части устройства требовалось 3 умножителя и 2 сумматора.
  + Зафиксировать результат RTL Viewer. Осуществить моделирование.
  + Осуществить полную компиляцию и зафиксировать: число использованных встроенных умножителей, максимальную тактовую частоту (для режима slow 1200mV 85C);
  + Осуществить проверку на плате

## Результат синтеза (RTL)

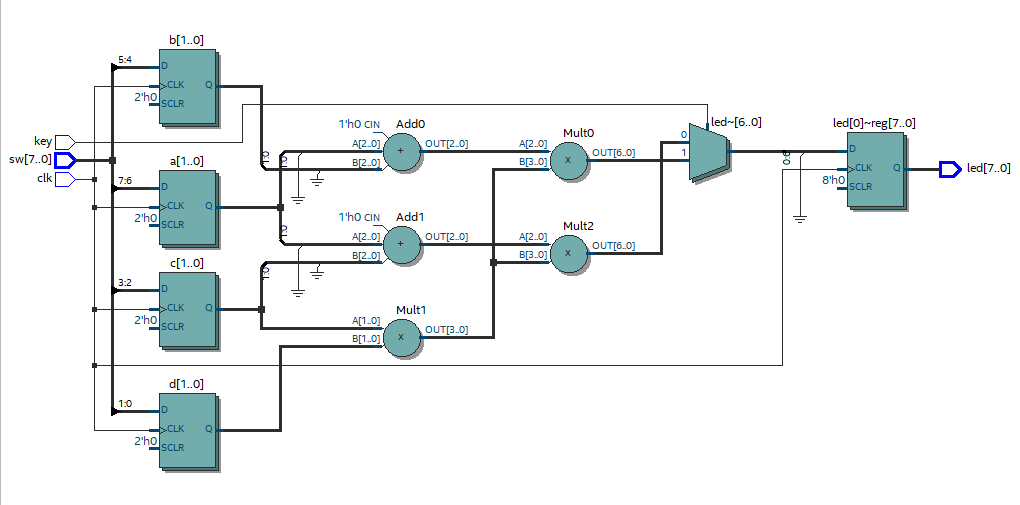
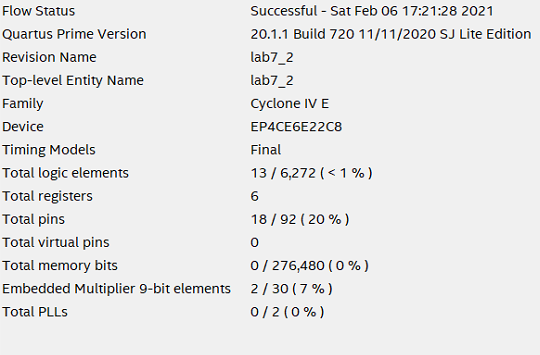
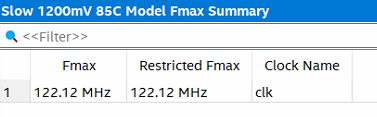


Рис. 2‑2 Результат моделирования RTL-Viewer

Оценка аппаратурных затрат и максимальна тактовая частота представлены на Рис. 2-3 и Рис. 2-4 соответственно.



*Рис. 2-3 Аппаратурные затраты*



*Рис. 2-4 Максимальная тактовая частота*

## Функциональное моделирование

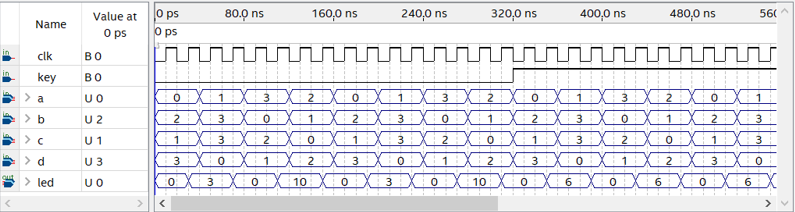


Рис. 2‑3 Функциональное моделирование

## Назначение выводов СБИС

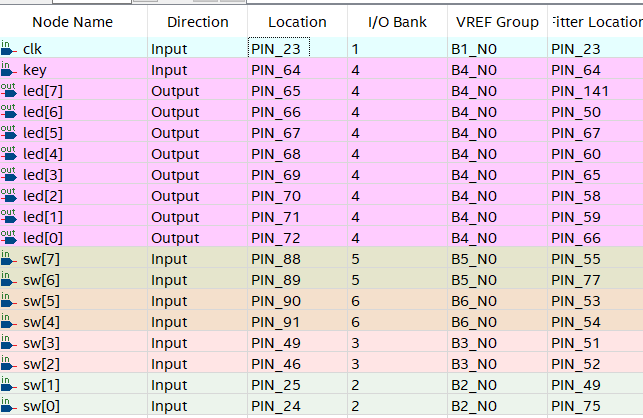


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы было описано на языке Verilog устройство, реализующее 2 арифметических выражения:− x=a\*c\*d+b\*c\*d, − y=a\*c\*d+c\*\*2\*d. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 7\_3

## Задание

Осуществить конвейеризацию устройства из lab7\_2. Зафиксировать результат RTL Viewer. Осуществить моделирование. Осуществить полную компиляцию и зафиксировать: число использованных встроенных умножителей, максимальную тактовую частоту (для режима slow 1200mV 85C). Сравнить с полученным ранее в lab7\_2 значением. Осуществить проверку на плате

## Результат синтеза (RTL)

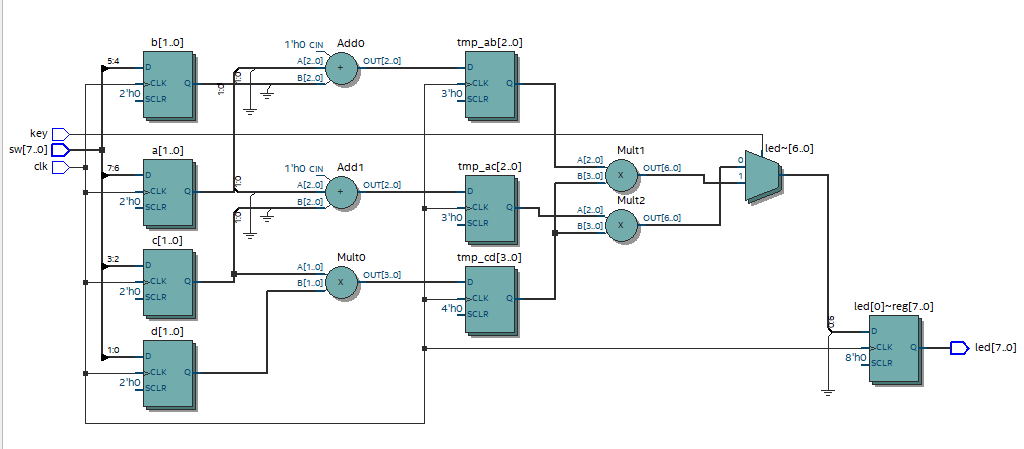


Рис. 3‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

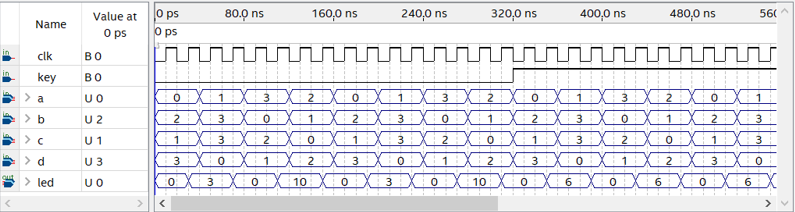
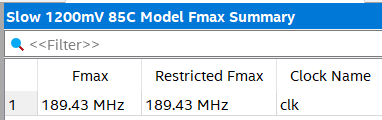


Рис. 3‑3 Функциональное моделирование



*Рис. 3- 4 Максимальная тактовая частота*

## Назначение выводов СБИС

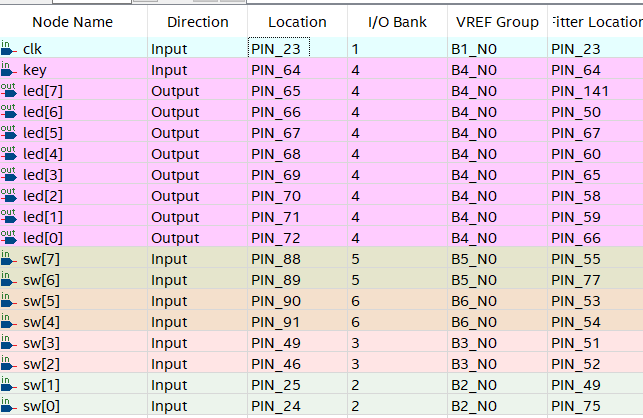


Рис. 3‑5 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы на языке Verilog была осуществлена конвейеризация устройства, реализующего 2 арифметических выражения:− x=a\*c\*d+b\*c\*d, − y=a\*c\*d+c\*\*2\*d. Проведена проверка работоспособности с помощью инструментов пакета Quartus. Моделирование проведено успешно, устройство работает правильно.